

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

DETAIL

JAPANESE

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-282897

(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

G11C 17/00

(21)Application number : 08-085425

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 08.04.1996

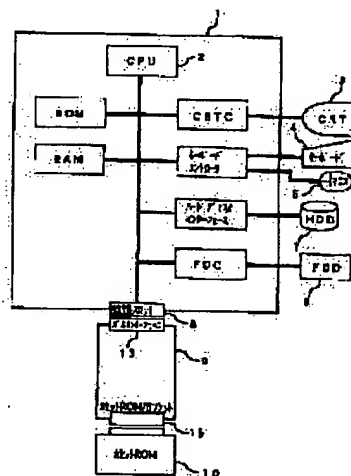
(72)Inventor : KAWAKAMI TAKASHI

(54) ROM WRITER APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a ROM writer apparatus by which an operation to work a cassette ROM is simplified and whose processing time is shortened by a method wherein a ROM writer board is connected to an expansion slot at a control apparatus.

SOLUTION: A ROM writer apparatus is constituted of a control apparatus 1 and of a ROM writer board 9. The control apparatus 1 is composed of a personal computer, and it stores software in a ROM cutoff execution mode. A user draws a ladder circuit on a CRT 3 by using, e.g. software for sequence-program creation, and a sequence program which is built in a target system is created so as to be stored in an HDD 7. The ROM writer board 9 is connected to an expansion slot 8 at the control apparatus 1 by using a bus interface 13, and a cassette ROM 10 is connected to a socket 15 for a cassette ROM. The ROM writer board 9 receives, from the HDD 7, the sequence program which is built in the target system, and the program is written in the cassette ROM 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-282897

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl.⁹
G 1 1 C 17/00

識別記号 庁内整理番号

F I
G 1 1 C 17/00

技術表示箇所

B

審査請求 未請求 請求項の数 2 O L (全 13 頁)

(21) 出願番号 特願平8-85425

(22) 出願日 平成8年(1996)4月8日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 川上 隆

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

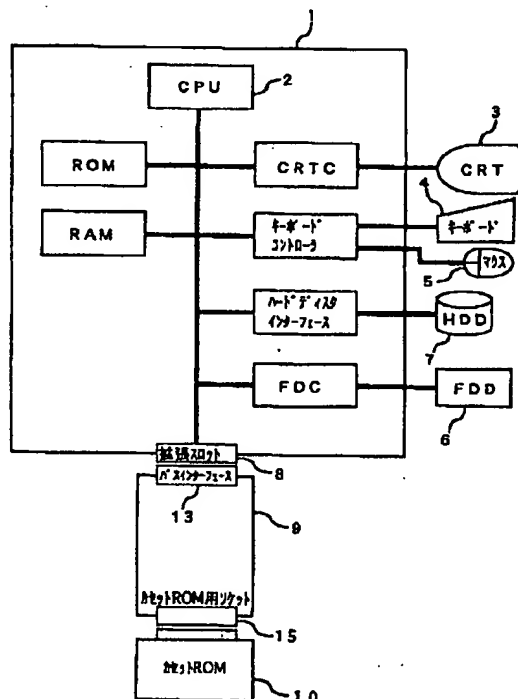
(74) 代理人 弁理士 宮田 金雄 (外3名)

(54) 【発明の名称】 ROMライター装置

(57) 【要約】

【課題】 操作が簡単で、且つ短時間でプログラムをROM化することができるROMライター装置を提供する。

【解決手段】 この発明のROMライター装置は、第1のCPU 2と、ROM切り実行モードの基本ソフトウェアとカセットROMに対応したROM切りソフトウェアとを記憶する記憶手段7と、入力手段4、5と、CRT 3と、拡張スロット8と、を有する制御装置と、第2のCPU 11と、制御装置の拡張スロットに接続できるバスインターフェース13と、カセットROMを接続するカセットROM用ソケット15と、このソケットに対するカセットROMの実装の有無の確認、実装されたカセットROMの種類の識別および実装されたカセットROMに書き込みをするROMインターフェース16と、を有するROMライターボード9と、を備えた。



1

【特許請求の範囲】

【請求項1】 第1のCPUと、ROM切り実行モードの基本ソフトウェアとカセットROMに対応したROM切りソフトウェアとを記憶する記憶手段と、入力手段と、CRTと、拡張スロットと、を有する制御装置と、第2のCPUと、前記制御装置の拡張スロットに接続できるバスインターフェースと、カセットROMを接続するカセットROM用ソケットと、このソケットに対するカセットROMの実装の有無の確認、実装されたカセットROMの種類の識別および実装されたカセットROMに書き込みをするROMインターフェースと、を有するROMライターボードと、を備えたROMライター装置。

【請求項2】 前記ROMライターボードのバスインターフェースにアドレスデコード条件を調整するディップスイッチを備え、このROMライターボードを複数個、前記制御装置の拡張スロットに接続したことを特徴とする請求項1記載のROMライター装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はユーザが開発・作成したユーザ・プログラムをROM化する機能を備えたROMライター装置に関する。

【0002】

【従来の技術】 図7は従来のROMライター装置を使用したユーザ・プログラム開発環境の一例を示す図である。図において、50は制御装置としてのパソコン、51はフロッピーディスクドライブ（以下、FDDと記す）、52はフロッピーディスク、53aは例えば数値制御装置などの、開発対象となる制御装置、53bは開発対象となる制御装置53aを操作する操作盤（以下、開発対象となる制御装置53aとその操作盤53bとを合せてターゲットシステム53と記す）、54はターゲットシステム53に接続されるFDD、55はユーザプログラムを一時記憶するカセットRAM、56はカセットROM、57はROMライター装置本体、58はFDD、59a、59bはカセットROMまたはカセットRAMを差し込むソケットである。なお、上述のカセットRAM、カセットROMはユーザプログラムを記憶できるように複数のRAMまたはROMを適当な大きさのプリント基板に実装し、素手で扱えるようにケースでカバーしてユニット化したものである。（一般に、MOS-ICは静電気で破壊されるので素手で扱うことはできない。）

【0003】 なお、ユーザプログラムにはシーケンスプログラム、モーションプログラム、NCプログラム等があるが、以下シーケンスプログラムを例に説明する。

【0004】 次に開発手順について説明する。ユーザは、ターゲットシステム53に組み込むシーケンスプログラムを、パソコン50にインストールしたシーケンス

2

プログラム作成ソフトウェアを用いて作成する。作成したシーケンスプログラムをターゲットシステム53に組み込んでデバッグを行う場合には、FDD51でパソコン50に記憶しているシーケンスプログラムをフロッピーディスク52に書き込む。次に、このフロッピーディスク52をFDD54によりターゲットシステム53に読み込ませて、カセットRAM55にローディングする。次に、ターゲットシステム53で、カセットRAM55に記憶されたシーケンスプログラムを実行することにより、デバッグを行う。

【0005】 また、ROMライター装置57を利用して、シーケンスプログラムを書き込んだフロッピーディスク52を、FDD58からソケット15aに接続したカセットRAM55にローディングし、そのカセットRAM55をターゲットシステム57に接続してデバッグを行うこともできる。

【0006】 次に、作成したシーケンスプログラムをROM化する場合に以下の手順により行う。パソコン50上で開発したプログラムを、一旦パソコン50のFDD51でフロッピーディスク52に保存し、それをROMライター装置57のFDD58からローディングしてカセットROM56に書き込む。

【0007】 また、ターゲットシステム53でデバッグを行ったシーケンスプログラムをROM化する場合に、カセットRAM55をROMライター装置57のソケット59aに接続し、カセットROM56をソケット59bに接続して、カセットRAM55の内容をカセットROM56に書き込む。

【0008】 カセットRAM55の代わりにフロッピーディスク52を使用し、ターゲットシステム53でシーケンスプログラムをフロッピーディスク52に保存し、ROMライター装置57のFDD58からローディングしてソケット59bに接続したカセットROM56に書き込んでもよい。

【0009】 また、ターゲットシステム53でデバッグを行って修正したシーケンスプログラムを、パソコン50のハードディスクに保存して一元管理する場合は、デバッグを行って修正したシーケンスプログラムを一旦フロッピーディスク52に書き込み、FDD51を使用してこのフロッピーディスク52をパソコン50のハードディスクに読み込み、保存する。

【0010】 図8は、特開平4-17186に示されたプログラム書き込み用インターフェースとパラレルインターフェースを具備したワークステーションのブロック構成を示す図である。図において、60はワークステーション本体、61はパラレルインターフェース（図では、PIOと記す）、62はROMインターフェース（図では、ROMI/Fと記す）、63はカセットROM用ソケット、64はカセットROM、65はPROM用ソケット、66はPROM、67はシリアルインター

フェース（図では、SIOと記す）である。

【0011】

【発明が解決しようとする課題】上記のような従来のROMライター装置を使用したユーザ・プログラム開発環境では、作成したユーザプログラムをカセットROMやカセットRAMに書き込む場合、また、ターゲットシステムで修正したユーザプログラムをパソコンのハードディスクに一元管理しておく場合、フロッピーディスクを差し替えなければならない、操作が面倒であるとともに処理時間がかかるという問題点があった。また、図8のような専用のワークステーションを使用すれば、上述のような問題点はないが、性能的にも価格的にも飛躍的に向上している通常のパソコンやワークステーションに対応できず、すぐに陳腐化してしまうという問題点があった。

【0012】さらに、一つのユーザプログラムを複数のカセットROMに書き込む場合、ROMライター装置のカセットROM用ソケットの数は、一般に1個ないし2個に固定されているので、例えばカセットROM用ソケットが1個で書き込むカセットROMが4枚の場合、4回に分けて書き込まなければならない、時間がかかるという問題点があった。さらにまた、ROMライター装置に複数のカセットROM用ソケットが備わっていたとしても、シーケンスプログラムにはNC旋盤やマシニングセンター等、機種毎に複数種類のプログラムがあるので、例えば4種類のシーケンスプログラムをROM化する時は、ROMライター装置のFDDから、4回各プログラムが保存されたフロッピーディスクを読み込んでカセットROMに書き込むという作業を繰り返さなければならず時間がかかるという問題点があった。

【0013】この発明は、上述のような課題を解決するためになされたもので、第1の目的は、容易に且つ短時間でプログラムをROM化することができるようにしたROMライター装置を得るものである。

【0014】また、第2の目的は、複数種類のプログラムを複数種類のカセットROMにROM化することができるようにしたROMライター装置を得るものである。

【0015】

【課題を解決するための手段】この発明に係るROMライター装置は、第1のCPUと、ROM切り実行モードの基本ソフトウェアとカセットROMに対応したROM切りソフトウェアとを記憶する記憶手段と、入力手段と、CRTと、拡張スロットと、を有する制御装置と、第2のCPUと、前記制御装置の拡張スロットに接続できるバスインターフェースと、カセットROMを接続するカセットROM用ソケットと、このソケットに対するカセットROMの実装の有無の確認、実装されたカセットROMの種類の識別および実装されたカセットROMに書き込みをするROMインターフェースと、を有するROMライターボードと、を備えたものである。

【0016】また、ROMライターボードのバスインターフェースにアドレスデコード条件を調整するディップスイッチを備え、このROMライターボードを複数個、前記制御装置の拡張スロットに接続するようにしたものである。

【0017】

【発明の実施の形態】

発明の実施の形態1. 図1は、この発明の一実施の形態であるROMライター装置のブロック構成を示す図である。図において、1は制御装置としてのパソコン本体、2は第1のCPUとしてのパソコン本体1のCPU、3はCRT、4はキーボード、5はマウス、6はFDD、7はハードディスクドライブ（以下、HDDと略す）、8は拡張スロット、9はROMライターボード、10はカセットROM、13は拡張スロット8に接続できるバスインターフェース、15はカセットROM用ソケットである。ここで、記憶手段はRAM、ROM、FDD 6、HDD 7などで構成される。

【0018】図2は、この発明の一実施の形態であるROMライターボード9のブロック構成を示す図である。図において、11は第2のCPUとしてのROMライターボード9のCPU、12はRAM、14はバスインターフェース13を経由してパソコン本体1と通信を行うための2ポートRAM、16はカセットROM用ソケット15に挿入したカセットROM10に書き込むためのROMインターフェース、17はROMライターボード9のCPU11を起動するためのCPU起動I/Oポート、27はCPU11から、2ポートRAM14へのリード/ライトのコントロールをするアクセスコントローラbである。

【0019】図3は、この発明の一実施の形態であるROMインターフェース16のブロック構成を示す図である。図において、18はアドレス/データコントローラ、19はカセットROM10に対するリード/ライトをコントロールするカセットアクセスコントローラ、20はアドレスデータをラッチするアドレスラッチ回路、21はカセットROMに書き込むデータをラッチするデータラッチ回路、22はカセットROM10のデータを読み取るゲートパルファである。

【0020】図4は、この発明の一実施の形態である、図2に示すROMライターボード9のバスインターフェース13とCPU起動I/Oポート17のブロック構成を示す図である。図において、23はパソコン本体1側から2ポートRAM14へリード/ライトする時のアドレスを伝えるアドレスパルファ、24はパソコン本体1側から2ポートRAM14へのリード/ライトデータを読み取るデータパルファである。25はパソコン本体1側から2ポートRAM14へのリード/ライトのコントロール、及びCPU起動I/Oポート17のコントロールをするアクセスコントローラa、26はパソコンの拡張

5

張スロット8に割り当てられたアドレスマップの中で、空きスロットのアドレスヘデコード条件を変更するためのディップスイッチである。

【0021】27はROMライターボード9のCPU11から、2ポートRAM14へのリード/ライトのコントロールをするアクセスコントローラbである。ここで、2ポートRAM14は割り込み出力用アドレスにライトすると割り込み信号を出力するインターラプト機能を持ったものである。

【0022】図5は、この発明の一実施の形態であるROMライター装置の動作手順を示す概略フローチャートの図である。次に、この発明によるROMライター装置の動作を図1～図5により説明する。

【0023】まず、ユーザは、パソコン本体1にインストールしたシーケンスプログラム作成ソフトウェアを用いて、CRT3を見ながら、キーボード4あるいはマウス5によりラダー回路を入力し、ターゲットシステム53に組み込むシーケンスプログラムを作成する。この作成したシーケンスプログラムをHDD7に保存する。

【0024】次に、ユーザはROMライターソフトウェアを起動する。ステップS1で、画面に表示される「ブランクチェック」、「ROM切り実行」、「ベリファイチェック」等の処理メニューの中から、「ROM切り実行」をキーボード4あるいはマウス5により選択する。ステップS2で、パソコン本体1のCPU2は「ROM切り実行」モードの基本ソフトウェアを、HDD7からROMライターボード9の2ポートRAM14の先頭番地へ転送する。

【0025】バスインターフェース13において、カセットROM10やシーケンスプログラムに依存しないアクセスコントローラa25によって、アドレスをデコードし、本ROMライターボードが選択されたことを認識すると、まずデータイネーブル信号を出し、データバッファ24を有効にし、次に、2ポートRAM14に対しチップセレクトaと2ポートRAMライトaを出し、前述の「ROM切り実行」モードの基本ソフトウェアを書き込む。

【0026】そして、パソコン本体1のCPU2が、図4に示すように、バスインターフェース13を経由してCPU起動I/Oポート17に割り付けられたアドレスに、特定の1ビットのデータを“1”または“0”にしてライトすると、ROMライターボード9のCPU11が起動する。また、ROMライターボード9のCPU11をリセットする場合は、起動させたときのデータとは逆のデータをCPU起動I/Oポート17に割り付けられたアドレスにライトする。

【0027】ステップS3で、ROMライターボード9のCPU11が起動すると、CPU11は2ポートRAM14の先頭番地に転送された「ROM切り実行」モードの基本ソフトウェアを実行するために、アドレスとリ

6

ード信号を出す。アクセスコントローラb27は2ポートRAM14にチップセレクトbと2ポートRAMリードbを出し、2ポートRAM14に書き込まれている「ROM切り実行」モードの基本ソフトウェアをフェッチし、実行する。

【0028】ステップS4で、CPU11は、図3に示すROMインターフェース16のカセットアクセスコントローラ19をリードすることによって、カセットROM用ソケット15からのカセットON/OFF信号(カセットROMが挿入されているとON信号が、カセットROMが無いとOFF信号が出力される)により、カセットROM10が実装されているかどうか、チェックする。

【0029】もし、カセットROM10が実装されていなければ、カセットアクセスコントローラ19からCPU11にカード未実装信号が返ってくるので、ステップS5で、CPU11は2ポートRAM14にカード未実装フラグをたてる。次に、CPU11が2ポートRAM14の割り込み出力用のアドレスにライトすることによってパソコン本体1側にIRQbを出力する。パソコン本体1は、2ポートRAM14のカード未実装フラグをリードすることによってカードが未実装であることを知ることができる。

【0030】また、カセットROM10が実装されていれば、ステップS6でカセットROM用ソケット15を介してカセットROM10にカセット電圧を供給する。

【0031】次に、ステップS7で、カセットROM10の種類を識別するために、CPU11がカセットアクセスコントローラ19を介して、カセットROM10のカセット識別コードエリアをリードする。

【0032】カセットROM10に実装されているROM ICにはPROMや、電気的に書き込み、消去可能なフラッシュROM等があり、それぞれに対応したROM切りソフトウェアにより、ROM切りしなければならない。このため、ステップS8(8a、8b、・・・、8z)で、リードしたカセット識別コードを前記カード未実装信号の時と同様にパソコン本体1側に知らせ、パソコン本体1のCPU2でこのカセット識別コードから、カセットROM10に実装されているROM ICの種類やメモリサイズを判別し、カセットROM10のタイプを限定する。

【0033】ステップS9(9a、9b、・・・、9z)で、このカセットROM10のタイプに対応したROM切りソフトウェアを、パソコン本体1のCPU2がHDD7からROMライターボード9の2ポートRAM14に前記基本ソフトウェアの転送と同様な方法で転送する。ROMライターボード9のCPU11は2ポートRAM14からRAM12にROM切りソフトウェアを転送する。

【0034】次に、ステップS10(10a、10b、

・・・、10z)で、パソコン本体1のCPU2がシーケンスプログラムをHDD7からROMライターボード9の2ポートRAM14に前記基本ソフトウェアの転送と同様な方法で転送する。

【0035】そして、ステップS11(11a、11b、・・・、11z)で、割り込みを受けたROMライターボード9のCPU11がROM切りソフトウェアを実行することによってROM切りを開始する。

【0036】上述の2ポートRAM14のアクセスで、CPU2とCPU1と1が同時に同一アドレスをアクセスした場合には、図4に示すように2ポートRAM14は後着でアクセスした側のアクセスコントローラにビジーを出力し、このビジー出力を受けたアクセスコントローラが後着側のCPUにコントロール信号を出力することによって、ビジー出力期間は2ポートRAM14へのアクセスを待つようにコントロールする。

【0037】次に、ROM切りを開始すると、ROMライターボード9のCPU11は、カセットROM10への書き込みアドレスを、図3に示すアドレスラッチ回路20にラッチし、また、カセットROM10への書き込みデータを、2ポートRAM14からリードし、データラッチ回路21にラッチする。そして、カセットアクセスコントローラ19よりカセットROM10にカセットライトパルスを与えると、1アドレス分だけカセットROM10に書き込みができる。

【0038】同様にアドレスをインクリメントしながら、最終アドレスまで書き込みを繰り返すことにより、カセットROM10一式を加工することができる。

【0039】また、カセットROM10からデータを読み取る時は、上述のデータ書き込みの場合と同様に、カセットROM10が実装されていることを確認すると、カセットアクセスコントローラ19から、カセットリード信号をカセットROM10に与えることによって、出てきたデータをゲートバッファ22を通して、ROMライターボード9のCPU11が読み取る。CPU11が読み取ったデータを2ポートRAM14に書き込み、CPU11が2ポートRAM14の割り込み出力用のアドレスにライトすることによって、IRQbをパソコン側に出力し、パソコン側にデータ引き取りを要求する。

【0040】パソコン本体1のCPU2が、アクセスコントローラa25を介して2ポートRAM14のデータをリードする。CPU2は2ポートRAM14の割り込み出力用のアドレスにライトすることによってIRQaをROMライターボード9側に出力し、データ読み取り完了をROMライターボード9側に知らせる。

【0041】この場合も上述のデータ書き込みの場合と同様に、アドレスを最終アドレスまでインクリメントすることによって、カセットROM10一式を読み取ることができる。

【0042】上述のROMライターボードとパソコン間の通信の説明では、2ポートRAM14のインタラプト機能を使った例を示したが、ポーリングによる通信も可能である。

【0043】上述の発明の実施の形態では、図5において「ROM切り実行」を選択された後、ステップS2で、「ROM切り実行」モードの基本ソフトウェアを転送し、ステップS9(9a、9b、・・・、9z)で、カセットROM10のタイプに対応したROM切りソフトウェアを転送する例を示したが、予めカセットROM10のタイプを判別し、「ROM切り実行」モードの基本ソフトウェアとROM切りソフトウェアとを同時に転送するようにしても、同等の効果が得られる。

【0044】上述の発明の実施の形態では、「ROM切り実行」モードの基本ソフトウェア、ROM切りソフトウェアおよびシーケンスプログラムをHDD7から転送する例を示したが、RAM、ROM、FDD6などの記憶手段から転送するようにしても、同等の効果が得られる。

【0045】発明の実施の形態2. 図6は、この発明の一実施の形態に係るROMライター装置のブロック構成を示す図である。図において、1～10、13、15は、上述の発明の実施の形態1で示したROMライターボードが1枚の場合で構成される図1と同様であり、その説明を省略する。

【0046】パソコン本体1の拡張スロット8に、複数枚のROMライターボード9を接続して、図4に示すディップスイッチ26によって、拡張バスの中で各ROMライターボードのアドレスが重ならないようにアドレスデコード条件を調整することによって、各ROMライターボード9のカセットROM用ソケット15に同一種類または複数種類のカセットROM10を挿入した場合も、上述の発明の実施の形態1(ROMライターボードが1枚の場合)と同様に加工できる。

【0047】なお、図6ではパソコンに複数の拡張スロットが備えてある例を示したが、拡張スロットは1枚分のみの場合は、これに拡張ユニットを接続して、図6と同等の効果を実現することも可能である。

【0048】また、上述の発明の実施の形態では、シーケンスプログラムをHDD7から転送する例を示したが、ROMライターボードを複数枚接続することによって、マスタープログラムが保存されているカセットROMを任意のROMライターボードに接続し、また別の複数のROMライターボードにコピー先であるカセットROMを複数枚接続することによって、マスターカセットROMから、コピー先のカセットROMへ複数枚コピーするようにしても、同等の効果が得られる。

【0049】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

9

【0050】この発明に係るROMライター装置は、第1のCPUと、ROM切り実行モードの基本ソフトウェアとカセットROMに対応したROM切りソフトウェアとを記憶する記憶手段と、入力手段と、CRTと、拡張スロットと、を有する制御装置と、第2のCPUと、前記制御装置の拡張スロットに接続できるバスインターフェースと、カセットROMを接続するカセットROM用ソケットと、このソケットに対するカセットROMの実装の有無の確認、実装されたカセットROMの種類の識別および実装されたカセットROMに書き込みをするROMインターフェースと、を有するROMライターボードと、を備えたので、ROMライターボードを制御装置の拡張スロットに接続することにより、フロッピーディスクを介することなく直接プログラムを読み書きできるので、操作を簡単にし、処理時間を短縮できる効果がある。

【0051】また、ROMライターボードのバスインターフェースにアドレスデコード条件を調整するディップスイッチを備え、このROMライターボードを複数個、前記制御装置の拡張スロットに接続するようにしたので、カセットROMの種類を判別することができ、一度に複数種類で多数のカセットROMを加工でき、生産性が向上するという効果がある。

【図面の簡単な説明】

【図1】 この発明の一実施の形態であるROMライター装置のブロック構成を示す図である。

【図2】 この発明の一実施の形態であるROMライターボード9のブロック構成を示す図である。

【図3】 この発明の一実施の形態であるROMインターフェース16のブロック構成を示す図である。

10

【図4】 この発明の一実施の形態である、ROMライターボード9のバスインターフェース13とCPU起動I/Oポート17のブロック構成を示す図である。

【図5】 この発明の一実施の形態であるROMライター装置の動作手順を示す概略フローチャートの図である。

【図6】 この発明の一実施の形態に係るROMライター装置のブロック構成を示す図である。

【図7】 従来のROMライター装置を使用したユーザー・プログラム開発環境の一例を示す図である。

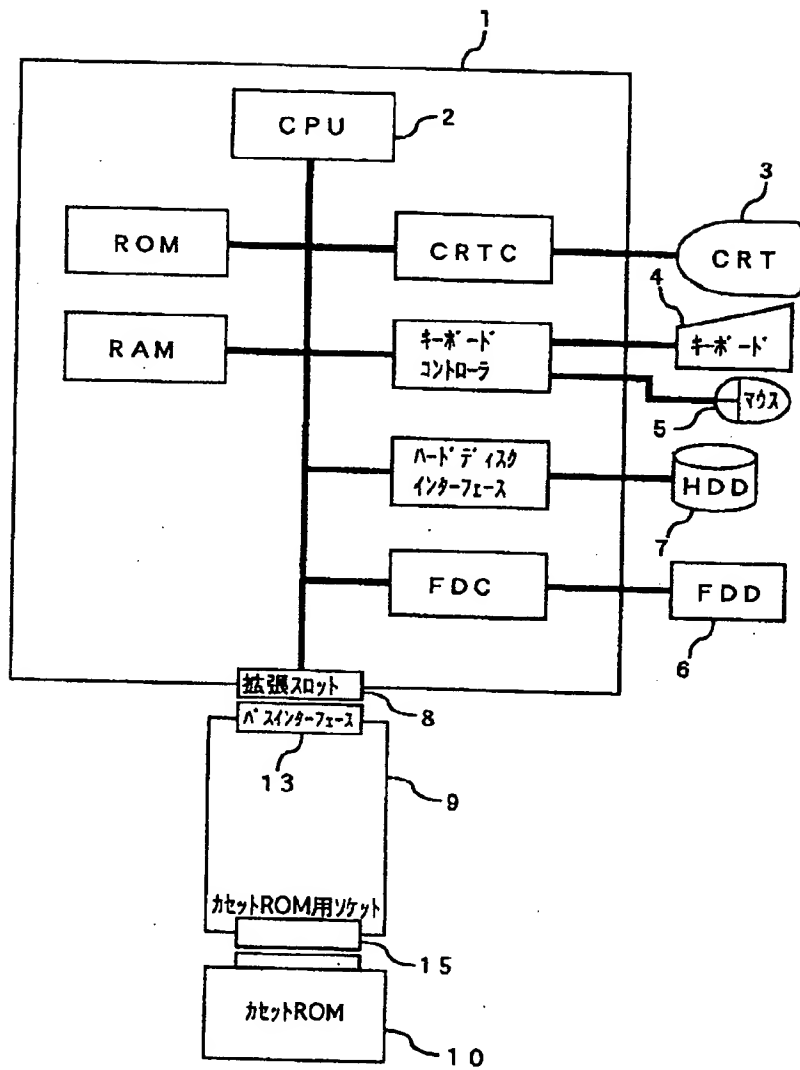
【図8】 特開平4-17186に示されたプログラム書き込み用インターフェースとパラレルインターフェースを具備したワークステーションのブロック構成を示す図である。

【符号の説明】

1 パソコン本体、 2 CPU、 3 CRT、 4 キーボード、 5 マウス、 6 FDD、 7 HDD、 8 パソコン本体1の拡張スロット、 9 ROMライターボード、 10 カセットROM、 11 CPU、 12 RAM、 13 バスインターフェース、 14 2ポートRAM、 15 カセットROM用ソケット、 16 ROMインターフェース、 17 CPU起動I/Oポート、 18 アドレス/データコントローラ、 19 カセットアクセスコントローラ、 20 アドレスラッチ回路、 21 データラッチ回路、 22 ゲートバッファ、 23 アドレスバッファ、 24 データバッファ、 25 アクセスコントローラa、 26 ディップスイッチ、 27 アクセスコントローラb。

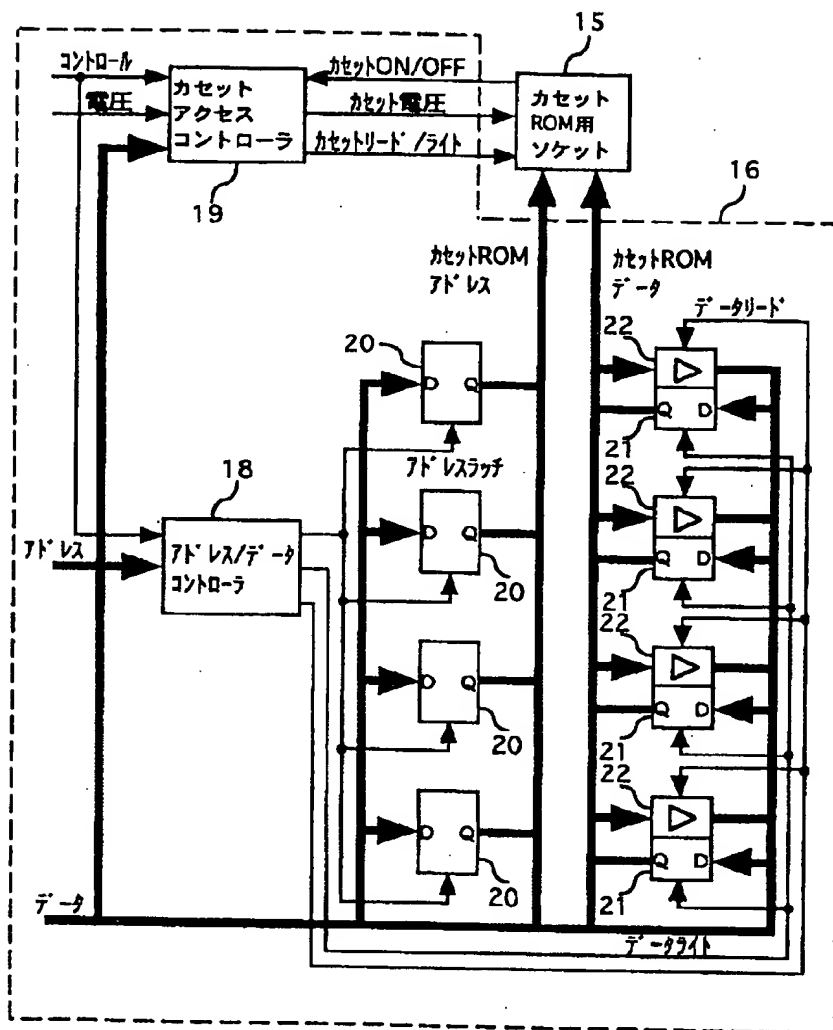
30

【図1】

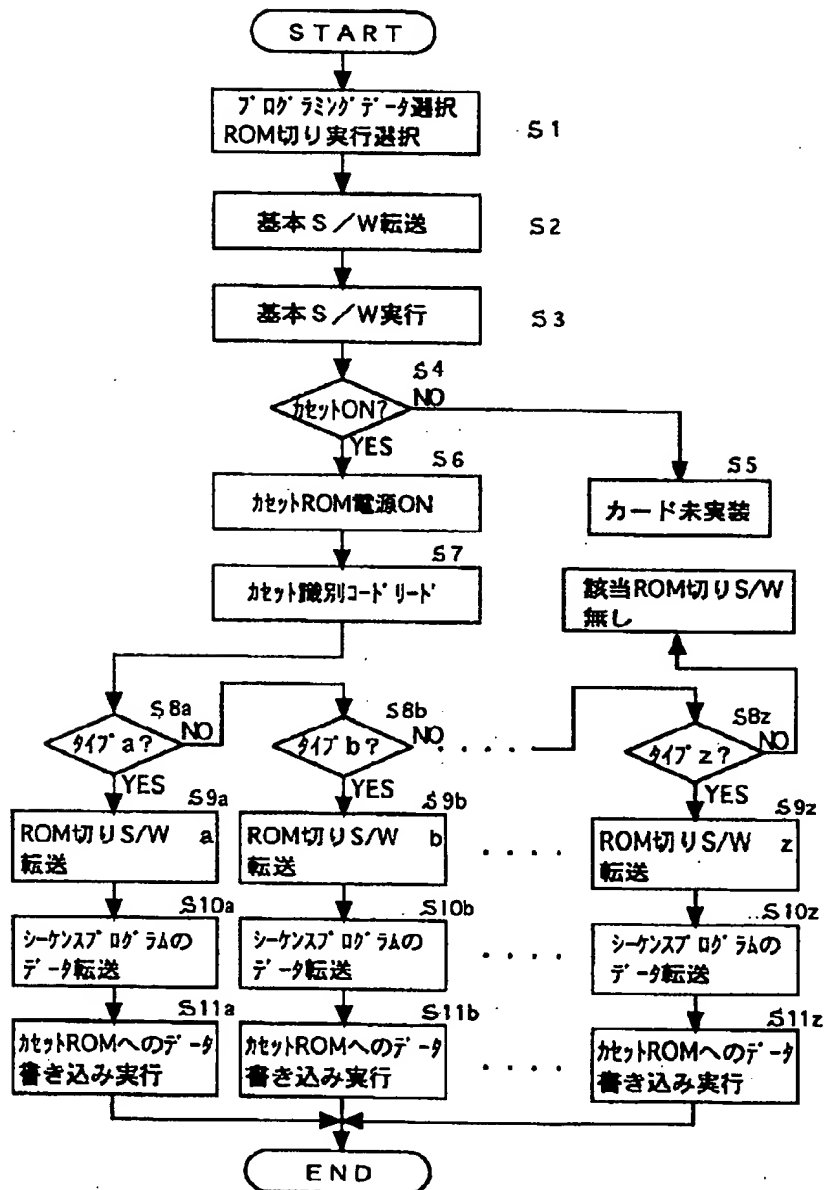


Block diagram of a computer system 9. The system includes a CPU 11, RAM 12, ROM 16, and a ROM usage meter 15. The CPU 11 is connected to RAM 12 and ROM 16 via a central bus. A CPU start I/O port 17 is connected to the CPU 11. A 2-port RAM 14 is connected to the CPU 11 and a parallel I/O port 13. The ROM usage meter 15 is connected to the ROM 16. A small square block 27 is also connected to the central bus.

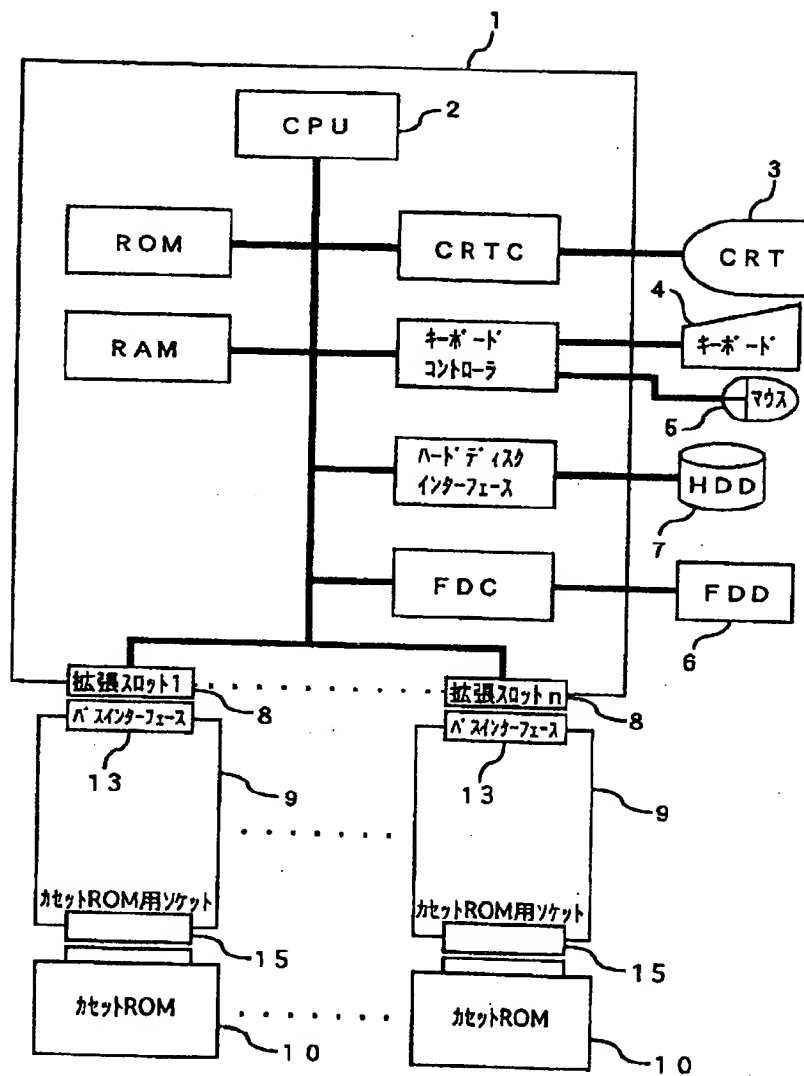
【図3】



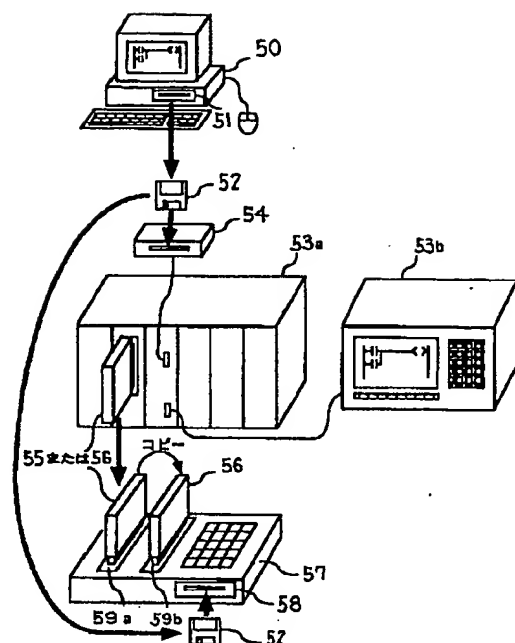
【図5】



【図6】



【図 7】



【図8】

